

**Universität Karlsruhe (TH)**

Institut für Technische Informatik

Prof. Dr. Wolfgang Karl

**Klausur Rechnerstrukturen**

**Sommersemester 2008**

**Aufgabenteil**

## Aufgabe 1: Quantifizierung 10P

### Low-Power-Entwurf 4P

- a) Wie setzt sich die Leistungsaufnahme  $P_{total}$  von CMOS-Schaltungen zusammen? Erklären Sie kurz die einzelnen Bestandteile. 2,5P
- b) Bei einem Benchmark-Vergleich stellen Sie fest, dass zwei Prozessoren ein gegebenes Testprogramm in der gleichen Zeit absolvieren. Prozessor 2 benötigt hierfür jedoch die doppelte Anzahl von Befehlen, die weiteren Betriebsparameter seien identisch. Was folgern Sie daher hinsichtlich des Stromverbrauchs von Prozessor 2 und aufgrund welchen Zusammenhangs treffen Sie Ihre Entscheidung? 1,5P

### Leistungsbewertung von Rechensystemen 2,5P

- c) Zur unabhängigen Leistungsbewertung werden typischerweise Benchmarks herangezogen. Ein Beispiel hierfür ist der SPEC-Benchmark, mit dessen Hilfe der Vergleichswert SPECratio für einen einzelnen Benchmark hergeleitet wird. 1,5P
- Geben Sie die Formel zur Berechnung der SPECratio an. 0,5P
  - Zur besseren Bewertung der CPU-Leistung erlaubt SPEC die Durchführung des CPU-Benchmarks in 4 möglichen Kategorien. Welche sind dies? 1P
- d) Statt eines SPECint-Werts liefert Ihnen ein Rechnerhersteller die Prozessortaktfrequenz und einen MIPS-Wert. 1P
- Wie können Sie hieraus formeltechnisch den CPI-Wert ermitteln? 0,5P
  - Über CPI und MIPS können Sie eine erste Abschätzung treffen, wie lange ein einzelner Befehl zur Abarbeitung benötigt. Welchen zusätzlichen Wert benötigen Sie zur Abschätzung der Effizienz der Architektur und Bewertung des Befehlsatzes? 0,5P

### Fertigungskosten: 3,5P

- e) Bei der Umstellung einer IC-Fertigungsstraße wird die Wafergröße verdoppelt. Alle anderen Kenngrößen wie etwa Fertigungstechnologie oder Die-Größe ändern sich nicht. 1,5P
- Was stellen Sie hinsichtlich der erzielbaren Anzahl von Dies pro Wafern  $dpw$  fest? 0,5P
  - Worauf ist diese Beobachtung zurückzuführen? Beachten Sie hierbei, woraus und in welcher Weise sich die Kenngröße  $dpw$  zusammensetzt. 1P

- f) Welchen Einfluss haben Wafer-Fertigung und die eingesetzte Fertigungstechnologie auf den Die-Yield? Erklären Sie kurz den Zusammenhang. **1P**
- g) Ein Unternehmen kann den Umbau seiner Die-Fertigungsstraße aus Kostengründen nicht durchführen. Welche zwei Möglichkeiten der Optimierung der IC-Ausbeute bestehen dennoch und wie lautet der formeltechnische Zusammenhang? **1P**

## Aufgabe 2: Hardwareentwurf

10P

- a) Was ergibt sich aus dem Gestaltungsgrundsatz der Orthogonalität allgemein? Was bedeutet er, auf die Eigenschaft eines Befehlssatzes angewandt? **1P**
- b) Ein System sei symmetrisch entworfen. Was bedeutet dies grundsätzlich und womit können Sie somit bei der Verwendung z.B. arithmetischer Befehle rechnen? **1P**
- c) Welcher Gestaltungsgrundsatz liegt der Standardisierung von Bussystemen ursächlich zugrunde? Welcher weitere Gestaltungsgrundsatz wird hiervon implizit tangiert? **1P**
- d) Mit der Entwurfssprache VHDL können sowohl Spezifikation, Realisierung und Validierung durchgeführt werden. In welcher Entsprechung finden Sie diese im VHDL-Entwurf wieder? Geben Sie hierfür die eindeutige Zuordnung an. **1,5P**
- e) Beim VHDL-Entwurf finden typischerweise 3 Syntheseschritte statt. **2P**
- Geben Sie hierfür an, um welche Schritte es sich handelt, wie diese zusammenhängen bzw. auf welchen Eingabeparametern diese operieren. **1,5P**
  - Welches Entwurfsmodell liegt dem VHDL-Entwurfsprozess zugrunde? **0,5P**

In einer VHDL-Beschreibung sei ein Prozess wie folgt beschrieben. Hierbei sei `count` ein Signal vom Typ `unsigned(7 downto 0)`:

```
process (clk, count)
begin
  if clk'event and clk='1' then
    count<=count-1;
    if count=X"ff" then
      flag<='1';
    else
      flag<='0';
    end if;
  end if;
end process;
```

- f) Das `flag`-Signal (vom Typ `bit`) soll den Zählerstand `0xff` anzeigen, d.h. zum Zeitpunkt `count=X"ff"` für eine Taktperiode den Wert 1 annehmen, sonst 0. Bei welchen tatsächlichen Zählerstand beobachten Sie beim gegebenen Codefragment in Simulation und Synthese den Zustand `flag='1'` und warum ist dies so? **1P**
- g) Da Sie den Zählerstand nicht außerhalb des Prozesses abfragen wollen, deklarieren Sie `count` nicht als Signal sondern als Variable. Welches Verhalten beobachten Sie und warum? **1P**

- h) Bei der Simulation dieses Prozesses erhalten Sie für `count` konsequent den Wert **1,5P** "UUUUUUUU". Synthetisiert in Hardware beobachten Sie jedoch wie erwartet eine Abwärtszählfunktion.
- Nennen Sie die Ursache für das in der Simulation beobachtete Verhalten und erklären Sie, weswegen die Zählfunktion hier nicht sichtbar wird. *1P*
  - Was fehlt in der Schaltungsbeschreibung, um auch in der Simulation eine korrekte Funktion zu gewährleisten? *0,5P*

## Aufgabe 3: Prozessorarchitektur

10P

### Befehlssatzarchitekturen

3P

- a) Zwei typische Befehlssatzarchitekturen sind RISC und CISC. Beurteilen Sie diese jeweils hinsichtlich folgender Gesichtspunkte: Aufbau und Ausführungsdauer der Maschinenbefehle, Implementierung des Befehlssatzes, Adressierungsmodi. **3P**

### Pipelining

5,5P

- b) Eine skalare Architektur verwende eine 8-stufige, perfekt ausbalanzierte Pipeline. Die Anzahl der in diesem Programm ausgeführten Befehle betrage 993. **2P**
- Bei der Abarbeitung treten keine Konflikte auf, d.h. die Verweilzeit jedes Befehls in der jeweiligen Pipelinestufe betrage einen Taktzyklus. Geben Sie dazu Latenz und Durchsatz an. **0,5P**
  - Woraus bestimmt sich die maximale Arbeitsgeschwindigkeit dieser skalaren Architektur? **0,5P**
  - Geben Sie die Formel für die Laufzeit  $T$  eines Programms in einer idealen Pipeline an und berechnen Sie die Beschleunigung  $S$  vollständig. **1P**
- c) Die ideale Füllung einer Pipeline wird in realen Programmen durch Konflikte verhindert. Erklären Sie den Zusammenhang zwischen Abhängigkeiten und Konflikten, wann es zu Konflikten kommt und geben Sie an, welche 3 Konflikttypen Ihnen bei Pipelines bekannt sind. **1,5P**
- d) Zeichnen Sie eine superskalare Pipeline basierend auf dem 5-stufigen Modell und unter Beachtung der nachfolgenden Angaben. **2P**

Einheit	Anzahl	Latenz	Initiierungsintervall
Integer	2	0	1
Fließkomma	1	3	2
Division	1	10	11

### Sprungvorhersage

1,5P

- e) Zeichnen Sie das Zustandsdiagramm für die Sprungvorhersage mittels 2-Bit-Hysteresezähler. Welchen grundsätzlichen Unterschied weist dieser auf zur 2-Bit-Sprungvorhersage ohne Hysterese? **1,5P**

---

## Aufgabe 4: Parallelverarbeitung 10P

### Leistungsfähigkeit von Multiprozessorsystemen: 4P

- a) Zur Bestimmung der Gesamtausführungszeit eines parallel ablaufenden Programms wird oft das Amdahlsche Gesetz herangezogen. Geben Sie dessen Formel an und erklären Sie die Bedeutung der unterschiedlichen Teile der Formel. 1P
- b) Was versteht man unter der Skalierbarkeit eines Parallelrechners? 1P
- c) Was ist für die Skalierbarkeit besonders wichtig? 1P
- d) Eine Berechnung, welche auf einem Einprozessorsystem  $T(1) = 200$  Sekunden Rechenzeit benötigt, liefert auf einem Mehrprozessorsystem mit 10 Prozessoren nach  $T(10) = 15$  Sekunden ein Ergebnis. Wie nennt man dieses Verhalten und welcher Abschätzung der Beschleunigung widerspricht es? 1P

### Parallelisierung und Parallelverarbeitung: 2P

- e) Für die Programmierung von Parallelrechnern werden verschiedene Programmiermodelle eingesetzt. Geben Sie jeweils den allgemeinen Namen des Programmiermodells an, welches Sie für Multiprozessorsysteme mit verteiltem Speicher verwenden und welches für Multiprozessorsysteme mit gemeinsamem Speicher. Treffen Sie hierbei eine eindeutige Zuordnung zwischen Multiprozessorsystem und gewähltem Programmiermodell. 1P
- f) Wie erfolgt die Parallelisierung aus Programmierersicht bei der Verwendung von OpenMP und wie geschieht diese bei MPI? Erklären Sie kurz die Verfahrensweisen. 1P

### Verbindungsnetze: 2P

- g) Zeichnen Sie das Grundmuster der Kreuzpermutation mit 8 Eingängen und 8 Ausgängen auf. Verwenden Sie hierfür als Hilfe die Vorgaben in den Lösungsblättern. 1P
- h) Welche Bedingung muss bei einem fehlertoleranten Netzwerk erfüllt sein? 1P

### Vektorverarbeitung: 2P

- i) In einem Vektorrechner können verschiedene Ebenen der Parallelität verwendet werden. Nennen Sie 4 verschiedene Möglichkeiten zur Realisierung von Parallelarbeit in einem Vektorrechner. 2P

## Aufgabe 5: Speicherhierarchie

10P

### Cache-Leistung

2P

Bei dem Entwurf eines eingebetteten Systems stehen zwei Entwurfsalternativen zur Auswahl. In Entwurfsalternative A kommt ein kleiner Cache mit einer Zugriffszeit von  $t_A = 10ns$  zum Einsatz, in Entwurfsalternative B ein größerer Cache mit einer Zugriffszeit von  $t_B = 15ns$ . Die Zugriffszeit des Hauptspeichers sei in beiden Entwurfsalternativen gleich und betrage  $t_{Mem} = 100ns$ .

- a) Geben Sie eine allgemeine Formel zur Berechnung der mittleren Zugriffszeit  $t_a$  an. **0,5P**
- b) Bei der Evaluation beider Entwurfsalternativen wurden folgende Hit-Raten gemessen: **1,5P**
- Alternative A:  $r_A = 70\%$
  - Alternative B:  $r_B = 80\%$

Mit Begründung: Für welche Entwurfsalternative würden Sie sich entscheiden?

### Cache-Kohärenzprotokolle

8P

- c) Die durch das Cache-Kohärenzprotokoll verursachten Fehlzugriffe können in zwei Klassen eingeteilt werden. Nennen und erläutern Sie diese. **2P**
- d) Die busbasierten Cache-Kohärenzprotokolle können in zwei Klassen eingeteilt werden. Nennen Sie diese. Worin unterscheiden sich die beiden Klassen? **2P**

Ein Zweiprozessorsystem sei speichergekoppelt. Die Caches haben je eine Größe von zwei Cachezeilen, welche je genau ein Speicherwort aufnehmen können. Die Füllung des Caches erfolgt von der niedrigsten Cachezeile aufwärts, sofern noch freie Zeilen zur Verfügung stehen, andernfalls wird gemäß LRU-Strategie verdrängt. Als Cache-Kohärenzprotokoll kommt das MESI-Protokoll zum Einsatz.

- e) Vervollständigen Sie die auf dem Lösungsblatt angegebene Tabelle: Geben Sie jeweils Inhalt der Cache-Zeile und MESI-Zustand an. **3P**
- f) Würde die Verwendung des MOESI-Protokolls in diesem Fall zu einer Leistungssteigerung führen? Begründen Sie ihre Antwort. **1P**

---

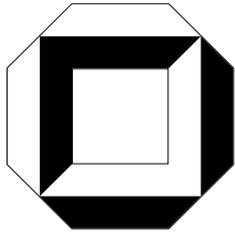
## Aufgabe 6: Fehlertoleranz

10P

- a) Ordnen Sie die 4 Fehlertypen den angegebenen Aussagen zu. Kreuzen Sie hierzu die jeweils zutreffende(n) Aussage(n) an. **2P**
- b) Fehler werden unterschieden nach Dauer und Ort. Wie lässt sich die Fehlerdauer genauer spezifizieren? **1P**
- c) Das Systemausfallverhalten lässt sich in drei Kategorien einteilen. Welche sind dies und wie sind sie zu charakterisieren? **3P**

Ein Rechensystem bestehe aus den Prozessoren  $P_1$  und  $P_2$ , welche über einen gemeinsamen Speichercontroller  $C$  auf den Hauptspeicher  $M$  zugreifen. Gespeist wird das System aus dem Netzgerät  $N$ . Zum Betrieb des Systems ist nur ein Prozessor notwendig.

- d) Zeichnen Sie das Zuverlässigkeitsblockdiagramm der des Rechensystems. **1P**  
*Beachten Sie hierbei auch die sich aus der Aufgabenstellung ergebende logische Reihenfolge der Komponenten.*
- e) Ermitteln Sie die Systemfunktion  $S$  des Rechensystems. **1P**
- f) Erstellen Sie die Formel zur Berechnung der Funktionswahrscheinlichkeit  $\Phi(S)$  für das Rechensystem basierend auf den Funktionswahrscheinlichkeiten  $\Phi(N)$  für das Netzgerät,  $\Phi(P)$  für einen einzelnen Prozessor sowie  $\Phi(C)$  für den Speichercontroller und  $\Phi(M)$  für den Speicher. **1P**
- g) Das Rechensystem arbeitet normalerweise mit beiden Prozessoren, ist aber auch mit nur einem Prozessor noch betriebsbereit. Welche Form der dynamischen Redundanz wird hier verwendet und was ermöglicht sie? **1P**



**Universität Karlsruhe (TH)**  
Institut für Technische Informatik  
Prof. Dr. Wolfgang Karl

# **Klausur Rechnerstrukturen**

## **Sommersemester 2008**

### **Lösungsteil**

Name: \_\_\_\_\_  
Vorname: \_\_\_\_\_  
Matrikelnummer: \_\_\_\_\_

Tragen Sie bitte auf jedem Blatt Ihren Namen und Ihre Matrikelnummer ein. Bitte tragen Sie alle Lösungen und Rechenwege an den vorgesehen Stellen ein und geben Sie keine zusätzlichen Blätter ab, ohne dies dem Aufsichtspersonal mitzuteilen.

**Hinweis:** Bei Rechenaufgaben ist die Angabe des Rechenwegs zwingend erforderlich. Ergebnisse ohne Rechenweg werden **nicht** gewertet.

Zum Bestehen der Klausur sind mindestens 20 Punkte erforderlich.

- Ich wünsche **keine** Notenveröffentlichung per Aushang (Matrikelnummer und Note) am schwarzen Brett  
*(Bei Ankreuzen kann die Note erst in der Klausureinsicht erfragt werden.)*

Erreichte Punkte (wird vom Institut ausgefüllt):

Aufgabe	1	2	3	4	5	6
Punkte	/10	/10	/10	/10	/10	/10
Summe:						/60

**Lösung 1: Quantifizierung**

10P

a) Formel:

2,5P

Erklärung:

b) Antwort:

1,5P

c)  $SPEC_{ratio} =$ 

1,5P

Kategorien:

d) Formel:

**1P**

Antwort:

e) Antwort:

**1,5P**

f) Antwort:

**1P**

g) Formel:

**1P**

Antwort:

**Lösung 2: Hardwareentwurf***10P*

a) Antwort:

**1P**

b) Antwort:

**1P**

c) Antwort:

**1P**

d) Spezifikation:

**1,5P**

Realisierung:

Test/Validierung:

e) Entwurfsmodell:

**2P**

Syntheseschritte:

Name:

Matrikelnummer:

5/13

---

f) Antwort:

**1P**

g) Antwort:

**1P**

h) Antwort:

**1,5P**

**Lösung 3: Prozessorarchitektur***10P*

a) RISC:

**3P**

CISC:

b)

**2P**

- Latenz:

*0,5P*

Durchsatz:

- Antwort:

*0,5P*

- Formeln:

*1P*

Berechnung:

c) Antwort:

**1,5P**

Name:

Matrikelnummer:

7/13

---

d) Zeichnung:

**2P**

e) Zeichnung:

**1,5P**

**Lösung 4: Parallelverarbeitung***10P***Leistungsfähigkeit von Multiprozessorsystemen:***4P*

a)

**1P**

b)

**1P**

c)

**1P**

d)

**1P****Parallelisierung und Parallelverarbeitung:***2P*

e)

**1P**

f)

**1P****Verbindungsnetze:****2P**

g) Kreuzpermutation:

**1P**

$a_3$	$a_2$	$a_1$	$a_1$	$a_2$	$a_3$
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	0	0
1	0	1	1	0	1
1	1	0	1	1	0
1	1	1	1	1	1

h)

**1P****Vektorverarbeitung:****2P**

i)

**2P**

Name:

Matrikelnummer:

10/13

---

## **Lösung 5: Speicherhierarchie**

*10P*

a) Formel:

**0,5P**

b) Antwort:

**1,5P**

c) Antwort:

**2P**

d) Antwort:

**2P**

e) Tabelle:

**3P**

Prozessor	Aktion	Prozessor 1		Prozessor 2	
		Line 1	Line 2	Line 1	Line 2
	init	-	-	-	-
2	rd 3			3/E	
1	rd 2	2/E			
1	rd 3		3/S	3/S	
2	wr 1				1/M
1	rd 1				
2	rd 1				
1	wr 3				
2	rd 4				
2	rd 3				
1	wr 1				

f) Antwort:

**1P**

**Lösung 6: Fehlertoleranz**

10P

a)

2P

Entwurfsfehler	Betriebsfehler	Bedienungsfehler	Wartungsfehler	
<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	Spezifikationsfehler
<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	Implementierungsfehler
<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	Dokumentationsfehler
<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	Herstellungsfehler
<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	Störungsbedingte Fehler
<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	Verschleißfehler
<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	Zufällige physikalische Fehler
<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	Anschließen an unpassende Strom-/Spannungsversorgung
<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	Fehlerhafter Gebrauch durch Anwender
<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	Nichterkennen von eingetretenen Defekten aufgrund mangelhafter Inspektion
<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	Austausch einer fehlerhaften Komponente durch ein inkompatibles Modell

b) Antwort:

1P

c)

3P

(c.1) \_\_\_\_\_:

(c.2) \_\_\_\_\_:

(c.3) \_\_\_\_\_:

d) Zuverlässigkeitsblockdiagramm:

**1P**

e) Systemfunktion:

**1P**

f) Formel:

**1P**

g) Antwort:

**1P**